

PCT/JP2004/013686
24. 9. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 11 NOV 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 9月25日

出 願 番 号
Application Number: 特願2003-333489
[ST. 10/C]: [JP2003-333489]

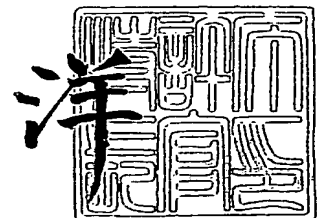
出 願 人
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年10月28日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特2004-3097463

【書類名】 特許願
【整理番号】 2900655371
【提出日】 平成15年 9月25日
【あて先】 特許庁長官殿
【国際特許分類】 H04B 7/26
【発明者】
 【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
 【氏名】 李 継峰
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100105050
 【弁理士】
 【氏名又は名称】 鷺田 公一
【手数料の表示】
 【予納台帳番号】 041243
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9700376

【書類名】 特許請求の範囲**【請求項 1】**

ターボ復号器に入力される組織部分のビット数と複数の系列を有するパリティ部分の各ビット数とをそれぞれ削除するビット数削除手段と、
パリティ部分の 1 系列分のビット数が組織部分のビット数より少なくなるように前記ビット数削除手段を制御する制御手段と、
を具備することを特徴とする入力制御装置。

【請求項 2】

前記制御手段は、ターボ復号器に入力されるビット系列の符号化率及び又は符号化ブロック長の長さに応じたパリティ部分のビット数となるように前記ビット数削除手段を制御する

ことを特徴とする請求項 1 に記載の入力制御装置。

【請求項 3】

前記制御手段は、ターボ復号器に入力されるビット系列の符号化率が低くなるにしたがって、パリティ部分のビット数が少なくなり、符号化率が高くなるにしたがって、パリティ部分のビット数が多くなるように制御する

ことを特徴とする請求項 2 に記載の入力制御装置。

【請求項 4】

前記制御手段は、ターボ復号器に入力される符号化ブロック長が長くなるにしたがって、パリティ部分のビット数が少なくなり、符号化ブロック長が短くなるにしたがって、パリティ部分のビット数が多くなるように制御する

ことを特徴とする請求項 2 又は請求項 3 に記載の入力制御装置。

【請求項 5】

ターボ復号器に入力される組織部分と複数系列のパリティ部分のうち、パリティ部分の 1 系列分のビット数が組織部分のビット数より少なくなるように、組織部分のビット数とパリティ部分のビット数とをそれぞれ削除することを特徴とする入力制御方法。

【書類名】明細書

【発明の名称】入力制御装置及び入力制御方法

【技術分野】

【0001】

本発明は、復号に用いるデータを量子化する入力制御装置及び入力制御方法に関し、例えば、ターボ符号や畳み込み符号などの復号器に適用して好適なものである。

【背景技術】

【0002】

図4は、従来のOFDM(Orthogonal Frequency Division Multiplex)送信装置10及びOFDM受信装置20の構成を示すブロック図である。まず、OFDM送信装置10の構成について説明する。ビット系列の送信データは、符号化器11でチャンネル符号化(ターボ符号化)され、符号化後の信号がレートマッチング部12でデータの繰り返し処理やバンクチャリング処理(レートマッチ処理)が行われる。レートマッチ処理後の信号は、変調部13でデータ変調マッピングが行われ、IFFT(Inverse Fast Fourier Transform)部14に出力される。

【0003】

変調部13から出力された信号は、IFFT部14で逆高速フーリエ変換されることにより、OFDM信号が形成され、GI(Guard Interval)挿入部15でOFDM信号にガードインターバルが挿入される。ガードインターバルが挿入されたOFDM信号は、D/A変換部16でデジタル信号からアナログ信号に変換され、アナログ信号がRF(Radio Frequency)変換部17で無線周波数にアップコンバートされ、アンテナ18を介してOFDM受信装置20に送信される。

【0004】

次に、OFDM受信装置20の構成について説明する。OFDM送信装置10から送信された信号は、伝搬路中で雑音が重畳し、アンテナ21で受信される。アンテナ21で受信された信号は、RF変換部22で無線周波数から中間周波数にダウンコンバートされ、I成分及びQ成分のチャンネルの信号に分離(直交検波)された後、A/D変換部23に出力される。I成分及びQ成分のチャンネルの信号は、A/D変換部23でアナログ信号からデジタル信号に変換され、デジタル信号がGI削除部24でガードインターバルを削除され、FFT(Fast Fourier Transform)部25に出力される。

【0005】

GI削除部24から出力された信号は、FFT部25でサブキャリア毎の系列に分離され、分離された信号は、復調部26で復調される。復調された信号は、レートデマッチング部27でレートデマッチング処理が行われ、レートデマッチング処理された信号が分離部28で3つの系列に分離される。分離された3つの系列は、ビット数削除部29でそれぞれ同数のビット数が削除され、ビット数が削除された各系列は復号器30でチャンネル復号(ターボ復号)され、受信データが得られる。

【0006】

図5は、OFDM送信装置10における符号化器11の内部構成を示すブロック図である。この図において、組織ビット系列(送信データ)uは組織ビット系列X1としてそのまま出力される一方、要素符号器31とインタリバー32に入力される。要素符号器31は、入力された組織ビット系列uについて符号語を生成する。生成された符号語はパリティビット系列X2として出力される。

【0007】

インタリバー32は、書き込み順序に対して読み出し順序を変換する変換関数を有し、入力された組織ビット系列uを入力順序とは異なる順序で要素符号器33に出力する。要素符号器33は、インタリバー32から出力されたビット系列について符号語を生成する。生成された符号語はパリティビット系列X3として出力される。

【0008】

図6は、OFDM受信装置20における復号器30の内部構成を示すブロック図である。

。受信信号系列は、雑音（ここでは加法的白色ガウス雑音とする）を受けており、それぞれ組織ビットとパリティビットに対応している。この受信信号系列が復号器 30 に入力される。

【0009】

要素復号器 41 では、組織ビット系列 X1 に対応した受信信号の系列（以下、「組織部分 Y1」という）及びパリティビット系列 X2 に対応した受信信号の系列（以下、「パリティ部分 Y2」という）が、デインタリーブ 45 から伝えられた信頼度情報である事前値 L a 1 と共に復号処理され、外部値 L e 1 がインタリーブ 42 に出力される。外部値とは、要素復号器によるシンボルの信頼度の増分を表す。外部値 L e 1 はインタリーブ 42 で並べ替えられ、事前値 L a 2 として要素復号器 44 に入力される。ちなみに、1 回目の繰り返しでは、要素復号器 44 での復号が行なわれていないので、事前値には 0 が代入される。

【0010】

要素復号器 44 では、組織部分 Y1 がインタリーブ 43 で並べ替えられた系列と、パリティビット系列 X3 に対応した受信信号の系列（以下、「パリティ部分 Y3」という）と、事前値 L a 2 とが入力され、復号処理が行われ、外部値 L e 2 がデインタリーブ 45 に出力される。外部値 L e 2 は、デインタリーブ 45 でインタリーブによる並べ替えを戻す操作を受け、事前値 L a 1 として要素復号器 41 に入力され、繰り返し復号が行われる。数回から十数回の繰り返し後、要素復号器 44 は、対数事後確率比として定義される事後値 L 2 を計算し、デインタリーブ 46 がその計算結果をデインタリーブする。そして、硬判定部 47 がデインタリーブ後の系列を硬判定することで、復号ビット系列を出力し、誤り検出部 48 が復号ビット系列の誤り検出を行って、検出結果を出力する。

【非特許文献 1】C. Berrou, A. Glavieux “Near Optimum Error Correcting Coding And Decoding: Turbo-Codes,” IEEE Trans. Commun., Vol.44, pp. 1261-1271, Oct. 1996.

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記従来のターボ復号器には以下のような問題がある。ターボ復号器に入力されるビット数は、組織部分とパリティ部分の軟情報ビットに対して区別なく一様に量子化が行われるため、常に固定であり、かつ、組織部分 Y1、パリティ部分 Y2 及び Y3 がそれぞれ同数のビット数でターボ復号器に入力される。ターボ復号器の回路規模は復号の演算に用いられるメモリ容量に大きく依存しており、ターボ復号器に入力されるビット数に応じたメモリ容量が必要であり、メモリ容量を削減することができず、回路規模を削減できないという問題がある。ちなみに、メモリ容量を削減するため符号化率を高くすることが考えられるが、この場合、パリティ部分のデータが少なくなり、誤り率特性も劣化してしまうので、回路規模を削減することができない。

【0012】

また、実際のシステムでは、符号化率や符号化ブロック長が可変であるので、システムで規定される最小の符号化率であり、かつ、最長のブロック長に対応できるメモリ容量が必要であるが、常に全メモリ容量が利用されるわけではないので、空き容量が生じてしまい、メモリが有効に利用されないという問題がある。

【0013】

本発明はかかる点に鑑みてなされたものであり、特性劣化を抑えつつ、ターボ復号器の回路規模を削減すると共に、ターボ復号器のメモリが有効に利用される入力制御装置及び入力制御方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

かかる課題を解決するため、本発明の入力制御装置は、ターボ復号器に入力される組織部分のビット数と複数の系列を有するパリティ部分の各ビット数とをそれぞれ削除するビ

ット数削除手段と、パリティ部分の1系列分のビット数が組織部分のビット数より少なくなるように前記ビット数削除手段を制御する制御手段と、を具備する構成を採る。

【0015】

この構成によれば、ターボ復号器に入力されるパリティ部分の1系列分のビット数が組織部分のビット数より少なくなるようにそれぞれのビット数を削除することにより、ターボ復号器の復号演算を少ないビット数で行うことができるので、この演算に用いられるメモリ容量を削減することができる。

【0016】

本発明の入力制御装置は、上記構成において、前記制御手段が、ターボ復号器に入力されるビット系列の符号化率及び又は符号化ブロック長の長さに応じたパリティ部分のビット数となるように前記ビット数削除手段を制御する構成を採る。

【0017】

この構成によれば、ターボ復号器に入力されるビット系列の符号化率及び又は符号化ブロック長の長さに応じたパリティ部分のビット数となるように組織部分のビット数とパリティ部分の各ビット数とをそれぞれ削除することにより、ターボ復号器に入力されるブロック当たりのビット数の変動範囲を小さくすることができるので、使用されないメモリの空き容量が少なくなり、メモリを有効に利用することができる。

【0018】

本発明の入力制御装置は、上記構成において、前記制御手段が、ターボ復号器に入力されるビット系列の符号化率が低くなるにしたがって、パリティ部分のビット数が少なくなり、符号化率が高くなるにしたがって、パリティ部分のビット数が多くなるように制御する構成を採る。

【0019】

この構成によれば、符号化率が低くなるにしたがって、復号に用いられるビット数が多くなるところ、パリティ部分のビット数を少なくし、符号化率が高くなるにしたがって、復号に用いられるビット数が少なくなるところ、パリティ部分のビット数を多くすることにより、ターボ復号器に入力されるブロック当たりのビット数の変動範囲を小さくすることができるので、使用されないメモリの空き容量が少なくなり、メモリを有効に利用することができる。

【0020】

本発明の入力制御装置は、上記構成において、前記制御手段が、ターボ復号器に入力される符号化ブロック長が長くなるにしたがって、パリティ部分のビット数が少なくなり、符号化ブロック長が短くなるにしたがって、パリティ部分のビット数が多くなるように制御する構成を採る。

【0021】

この構成によれば、符号化ブロック長が長くなるにしたがって、パリティ部分のビット数が少なくなり、符号化ブロック長が短くなるにしたがって、パリティ部分のビット数が多くなるように、制御手段がビット数削除手段を制御することにより、ターボ復号器に入力されるブロック当たりのビット数の変動範囲を小さくすることができるので、使用されないメモリの空き容量が少なくなり、メモリを有効に利用することができる。

【0022】

本発明の入力制御方法は、ターボ復号器に入力される組織部分と複数系列のパリティ部分のうち、パリティ部分の1系列分のビット数が組織部分のビット数より少なくなるように、組織部分のビット数とパリティ部分のビット数とをそれぞれ削除するようにした。

【0023】

この方法によれば、ターボ復号器に入力されるビット系列の符号化率及び又は符号化ブロック長の長さに応じ、かつ、パリティ部分の1系列分のビット数が組織部分のビット数より少なくなるように、それぞれのビット数を削除することにより、ターボ復号器に入力されるブロック当たりのビット数の変動範囲を小さくすることができるので、使用されないメモリの空き容量が少なくなり、メモリを有効に利用することができる。また、ターボ

復号器の復号演算を少ないビット数で行うことができるので、この演算に用いられるメモリ容量を削減することができる。

【発明の効果】

【0024】

以上説明したように、本発明によれば、ターボ復号器に入力するビット数について、組織部分のビット数よりもパリティ部分の1系列のビット数を少なくすることにより、ターボ復号器のメモリ容量を削減することができ、よって、回路規模を削減することができる。また、ターボ復号器に入力する組織部分のビット数及びパリティ部分のビット数を符号化率及び又は符号化ブロック長に応じて変更することにより、メモリを有効に利用することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面を用いて説明する。

【0026】

(実施の形態1)

図1は、本発明の実施の形態1に係るOFDM受信装置の構成を示すブロック図である。この図において、送信装置から送信された信号は、アンテナ101で受信され、RF(Radio Frequency)変換部102に出力される。

【0027】

RF変換部102は、アンテナ101で受信された信号の周波数を無線周波数から中間周波数にダウンコンバートし、I成分及びQ成分のチャネルの信号に分離(直交検波)する。I成分及びQ成分のチャネルの信号に分離された信号は、それぞれA/D変換部103に出力される。

【0028】

A/D変換部103は、RF変換部102から出力された信号をアナログ信号からデジタル信号に変換し、デジタル信号をGI(Guard Interval)削除部104に出力する。

【0029】

GI削除部104は、A/D変換部103から出力された信号からガードインターバルを削除し、ガードインターバルを削除した信号をFFT(Fast Fourier Transform)部105に出力する。

【0030】

FFT部105は、GI削除部104から出力された信号を高速フーリエ変換し、サブキャリア毎の系列に分離する。分離された信号は、復調部106に出力される。

【0031】

復調部106はFFT部105から出力された信号を復調し、レートデマッチング部107は復調後の信号にレートデマッチング処理を行い、分離部108に出力する。

【0032】

分離部108は、レートデマッチング部107から出力された信号を組織ビット系列に対応する受信信号の系列(以下、「組織部分Y1」という)と、パリティビット系列に対応する受信信号の系列(以下、「パリティ部分」という)に分離し、分離した各系列をビット数削除部109に出力する。なお、パリティ部分は、パリティビット系列X2及びX3にそれぞれ対応するパリティ部分Y2及びY3に分離される。また、ここで、分離された各系列のビット数は同数であり、Kビットとする。

【0033】

ビット数削除部109は、分離部108から出力された組織部分Y1、パリティ部分Y2及びY3のそれぞれについて制御部110からの制御に従ってビット数の削除を行う。ビット数が削除された組織部分Y1、パリティ部分Y2及びY3は、復号器111に出力される。なお、復号器111に出力される組織部分Y1のビット数をMビット、復号器111に出力されるパリティ部分Y2及びY3のビット数をそれぞれLビットとする。

【0034】

制御部110は、受信した信号の符号化率及び符号化ブロック長の情報を取得し、符号化率及び又は符号化ブロック長に応じ、かつ、パリティ部分の1系列のビット数Lが組織部分Y1のビット数Mより少なくなるように組織部分Y1、パリティ部分Y2及びY3のビット数を決定し、決定したビット数となるようにビット数削除部109を制御する。具体的には、符号化率が低いときはパリティ部分のビット数Lを少なくし、符号化率が高いときはパリティ部分のビット数Lを多くするように制御する。また、符号化ブロック長が短いときはパリティ部分のビット数Lを多くし、符号化ブロック長が長いときはパリティ部分のビット数Lを少なくするように制御する。これにより、ターボ復号器に入力されるブロック当たりのビット数の変動範囲を小さくすることができるので、使用されないメモリの空き容量が少なくなり、メモリを有効に利用することができる。

【0035】

復号器111は、ビット数削除部109から出力された信号をチャネル復号（ターボ復号）し、受信データを得る。

【0036】

ここで、制御部110において復号器111に入力させるビット数の決定方法について説明する。制御部110は、以下の一般的な制御式を有している。

【0037】

【数1】

$$M, L = f(R, N_{block}) \quad \dots (1)$$

M: 組織部分Y1のビット数

L: パリティ部分Y2及びY3のビット数

R: 符号化率

N_{block} : 符号化ブロック長

上式(1)においてMを固定とし、LをRの関数で表すと、Lは以下の式で表すことができる。

【0038】

【数2】

$$L = \text{int}[M \times (1 - \log_3 3R)] \quad \dots (2)$$

ただし、 int は括弧内の数式の値を越えない最大の整数を表す。式(2)において、例えば、 $R=1$ とすると $L=0$ となる。この式では、符号化率Rが低い場合にはパリティ部分のビット数Lが大きくなり、符号化率Rが高い場合には、パリティ部分のビット数Lが小さくなる。

【0039】

また、M及びLは次のような方法で求めることができる。すなわち、ある整数Cを用いると、Mは以下の式(3)で表すことができ、Lは式(4)で表すことができる。

【0040】

【数3】

$$M = \text{int}\left[C \times \frac{N_{\max}}{N_{block}}\right] \quad \dots (3)$$

【0041】

【数4】

$$L = M - H \quad \dots (4)$$

ただし、 N_{\max} は符号化ブロック長の最大長である。また、Hは整数であり、 $0 < H \leq M$ を満たすものとする。この式(3)において、 N_{block} が小さくなるに従って、M及びLは大きくなり、 N_{block} が N_{\max} に近づくに従って、M及びLは小さくなる。例えば、 $N_{block} = N_{\max} / 2$ の場合、 $M = 2 \times C$ 、 $L = M - H$ となる。

【0042】

このように、制御部110では、復号器111に入力させる組織部分Y1、パリティ部分Y2及びY3のビット数が決定される。

【0043】

次に、ビット数削除部109について具体的に説明する。図2は、ビット数削除部109について説明するための図である。この図において、分離部108から出力された組織部分Y1のビット系列を「101110001110」の12ビットとし、パリティ部分Y2のビット系列を「110010110111」の12ビットとする。同様に、パリティ部分Y3のビット系列を「011001110001」の12ビットとする。

【0044】

ビット数削除部109は、制御部110からの制御を受けて、入力された各ビット系列に対して、組織部分Y1を6ビットに、パリティ部分Y2を4ビットに、さらに、パリティ部分Y3を4ビットにそれぞれ削除する。これにより、ビット数削除部109から出力される組織部分Y1のビット系列は「101110」となり、パリティ部分Y2のビット系列は「1100」となり、パリティ部分Y3のビット系列は「0110」となる。

【0045】

このように、ビット数削除部109は、ターボ復号において組織部分よりも重要度の低いパリティ部分について、パリティ部分の1系列を組織部分のビット数よりも少なくする。これにより、ターボ復号器の復号演算を少ないビット数で行うことができるので、メモリ容量を削減することができる。なお、ビット数削除部109は、入力されたビット数のうち下位ビットを削除し、上位ビットを出力する。

【0046】

図3は、本発明の実施の形態1に係るOFDM受信装置のシミュレーション結果を示す図である。ただし、シミュレーション諸元は以下の通りである。

【0047】

サブキャリア数	: 1024
拡散率	: 8
変調方式(データ)	: QPSK
ターボブロック長	: 3196
チャンネルコーディング	: ターボ符号 ($R=1/3$ 、 $K=4$) K : 拘束長、Max-Log-MAP復号
繰り返し回数	: 8回
チャンネルモデル	: AWGN

【0048】

図3において、縦軸はBER(Bit Error Rate)を、横軸は E_b/N_0 を示している。また、組織部分のビット数を8ビットとし、パリティ部分のビット数を5, 6, 8ビットの3通りとした。この図から明らかなように、パリティ部分のビット数が6ビットと8ビットの場合の特性は完全に一致しており、パリティ部分のビット数が5ビットの場合でも、BERが $1.0E-04$ において約0.05[dB]の劣化に過ぎない。これは、ターボ復号器が繰り返し復号を行うため、高い復号特性を実現することによる。ただし、パリティ部分のビット数が少なすぎても高い復号特性を実現することはできないので、メモリ容量の削減と特性劣化の回避を図る必要がある。

【0049】

このように本実施の形態によれば、ターボ復号器に入力するビット数について、組織部分のビット数よりもパリティ部分の1系列のビット数を少なくすることにより、ターボ復号器のメモリ容量を削減することができ、回路規模を削減することができる。また、ターボ復号器に入力する組織部分のビット数及びパリティ部分のビット数を符号化率及び又は符号化ブロック長に応じて変更することにより、メモリの有効利用を図ることができる。

【0050】

なお、本実施の形態では、OFDM受信装置にターボ復号器を搭載した場合を例に説明

したが、本発明はこれに限らず、光通信を用いた受信装置、磁気ディスク及び光ディスク等の再生装置にターボ復号器を搭載した場合でもよい。また、ターボ符号に限らず、畳み込み符号でもよい。

【産業上の利用可能性】

【0051】

本発明の入力制御装置及び入力制御方法は、ターボ復号器に入力するビット数について、組織部分のビット数よりもパリティ部分の1系列のビット数を少なくすることにより、ターボ復号器のメモリ容量を削減し、また、ターボ復号器に入力する組織部分のビット数及びパリティ部分のビット数を符号化率及び又は符号化ブロック長に応じて変更することにより、メモリを有効に利用するという効果を有し、無線通信を用いた受信装置、光通信を用いた受信装置、磁気ディスク及び光ディスク等の再生装置などターボ復号器を有する装置に用いるのに適している。

【図面の簡単な説明】

【0052】

【図1】本発明の実施の形態1に係るOFDM受信装置の構成を示すブロック図

【図2】ビット数削除部について説明するための図

【図3】本発明の実施の形態1に係るOFDM受信装置のシミュレーション結果を示す図

【図4】従来のOFDM送信装置及びOFDM受信装置の構成を示すブロック図

【図5】従来のOFDM送信装置における符号化器の内部構成を示すブロック図

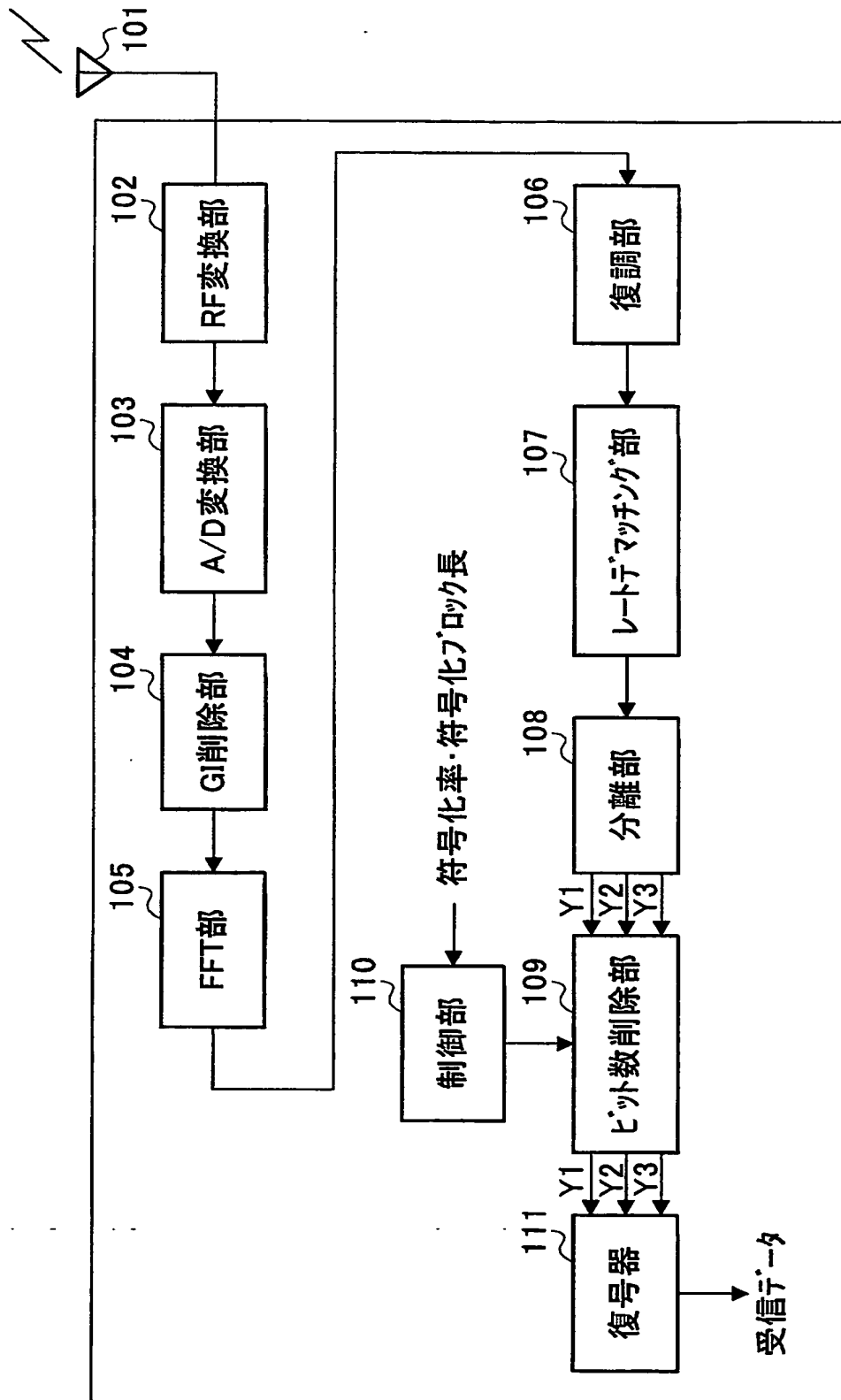
【図6】従来のOFDM受信装置における復号器の内部構成を示すブロック図

【符号の説明】

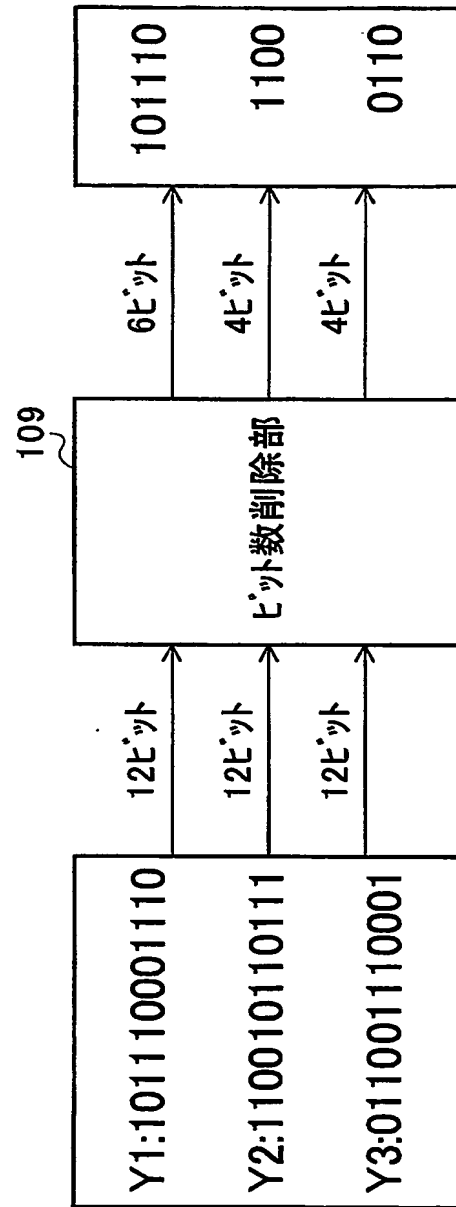
【0053】

- 101 アンテナ
- 102 RF変換部
- 103 A/D変換部
- 104 GI削除部
- 105 FFT部
- 106 復調部
- 107 レートデマッチング部
- 108 分離部
- 109 ビット数削除部
- 110 制御部
- 111 復号器

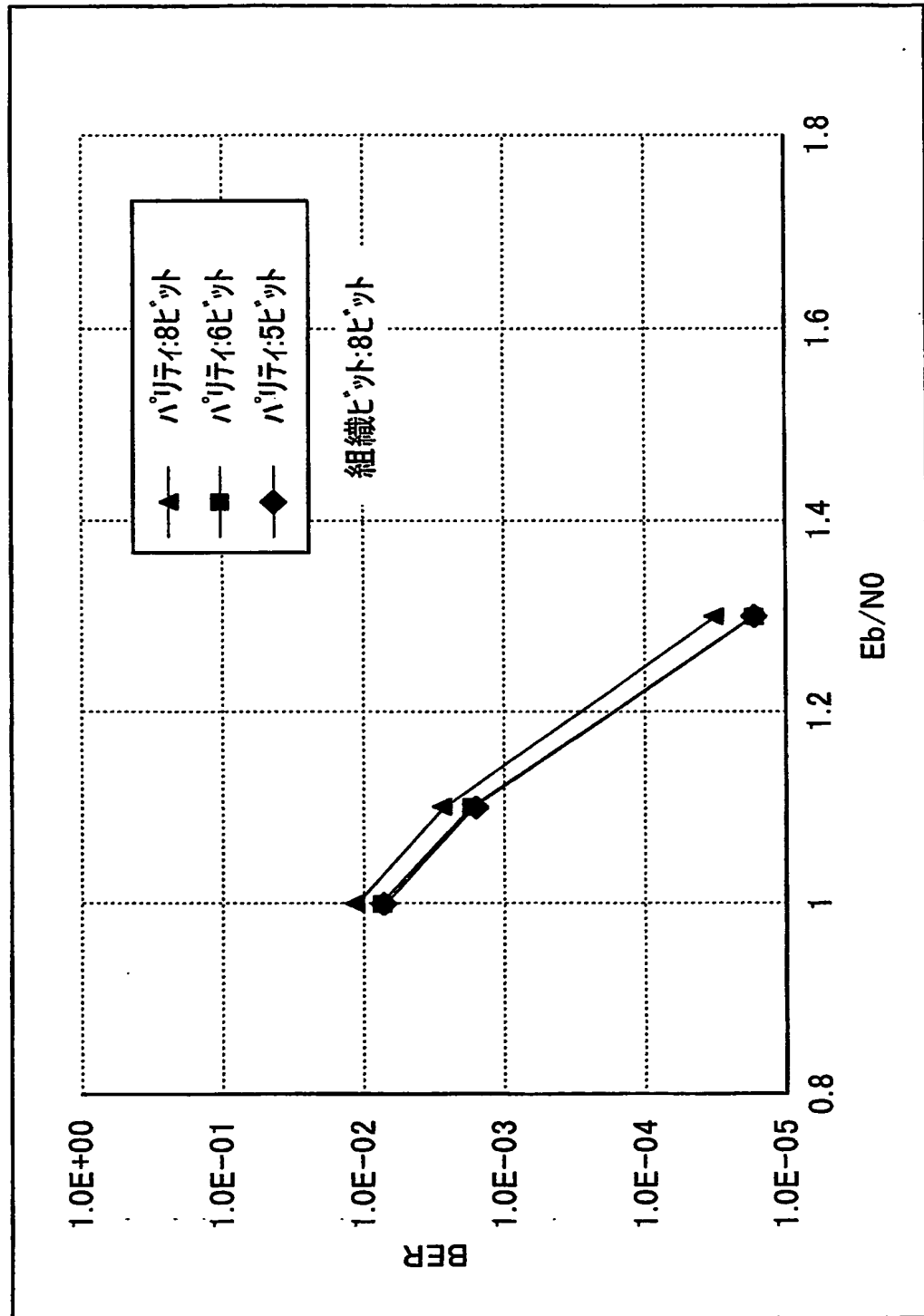
【書類名】 図面
【図 1】



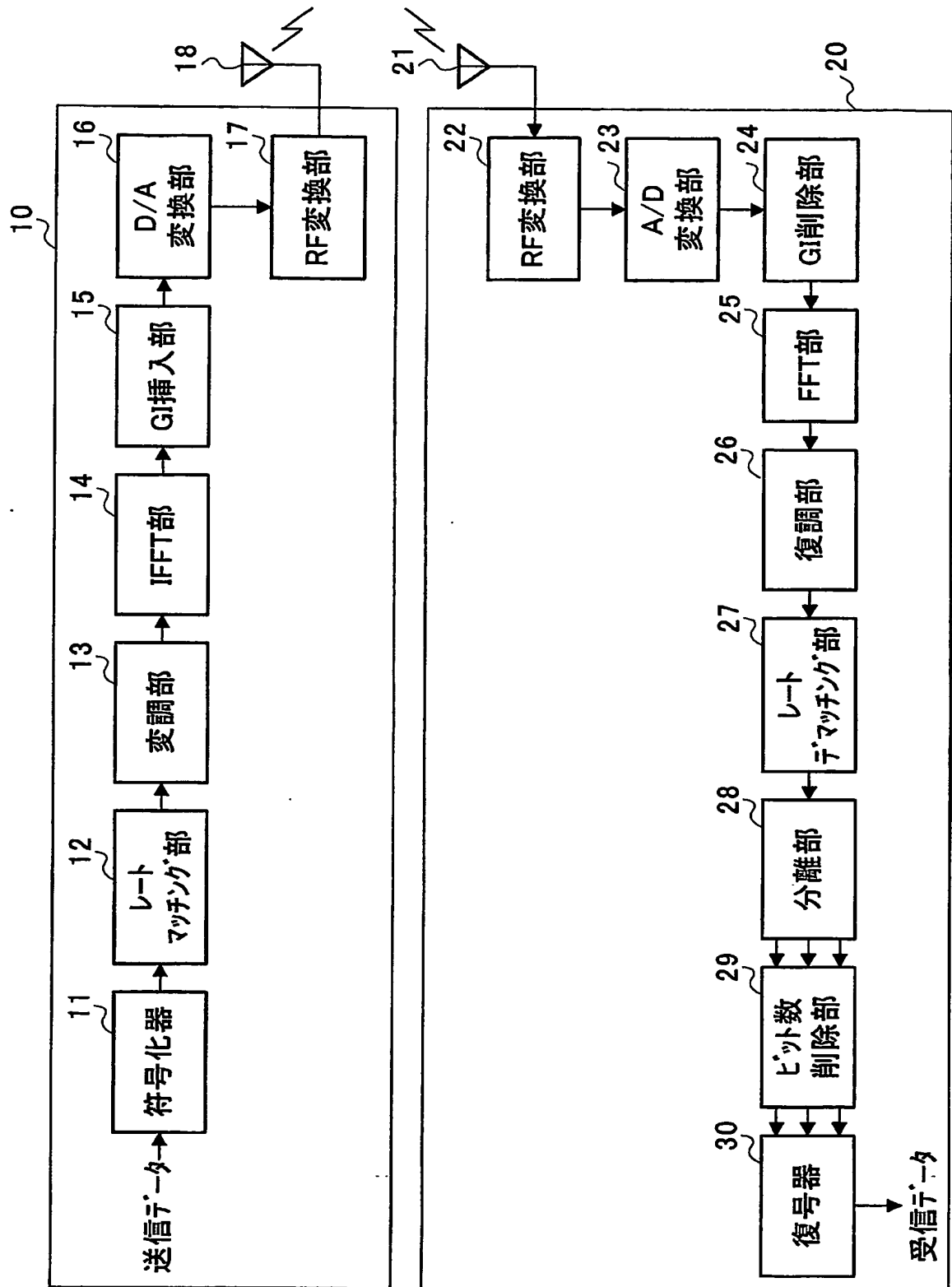
【図 2】



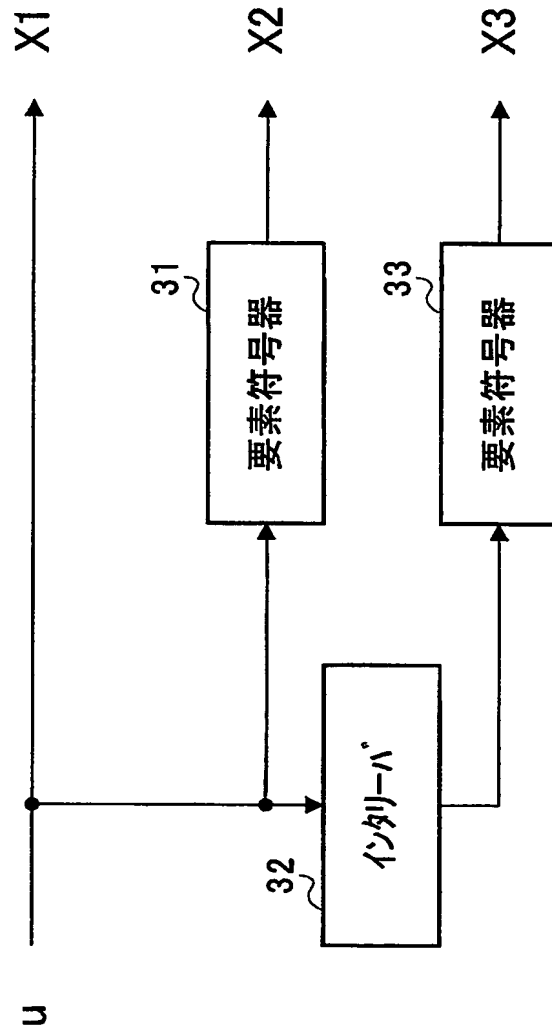
【図 3】



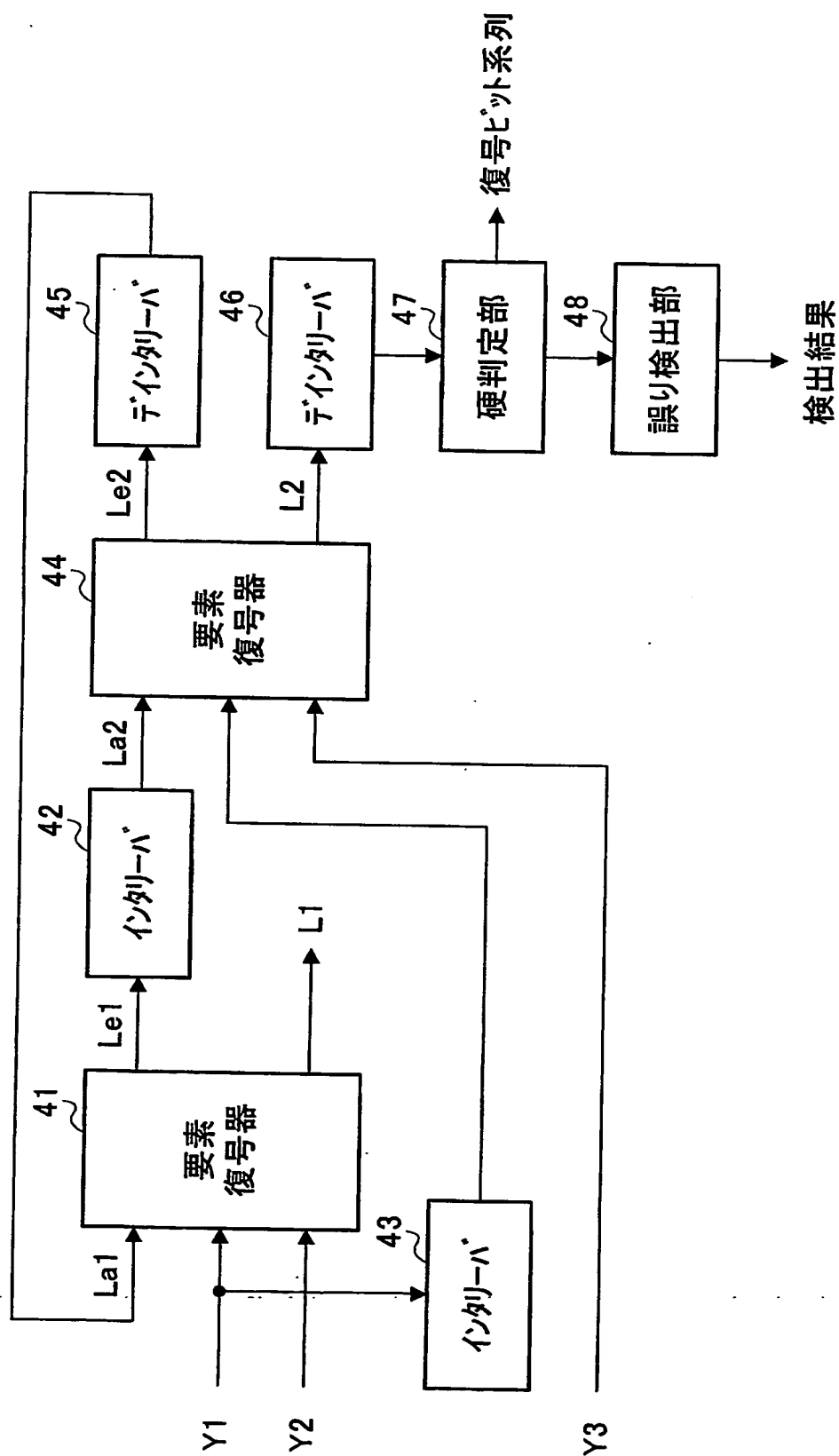
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 特性劣化を抑えつつ、ターボ復号器の回路規模を削減すると共に、ターボ復号器のメモリを有効に利用すること。

【解決手段】 制御部 110 は、受信した信号の符号化率及び符号化ブロック長の情報を取得し、符号化率及び又は符号化ブロック長に応じ、かつ、パリティ部分の 1 系列のビット数が組織部分 Y1 のビット数より少なくなるように、組織部分 Y1、パリティ部分 Y2 及び Y3 のビット数を決定し、決定したビット数となるようにビット数削除部 109 を制御する。ビット数削除部 109 は、分離部 108 から出力された組織部分 Y1、パリティ部分 Y2 及び Y3 のビット数を制御部 110 の制御にしたがって削除し、復号器 111 は、ビット数削除部 109 で削除された各系列を用いてターボ復号を行う。

【選択図】 図 1

特願 2 0 0 3 - 3 3 3 4 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社